

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-318254
(43)Date of publication of application : 11.11.2004

(51)Int.CI.

G06F 11/22
G06F 19/00
G21C 17/00

(21)Application number : 2003-107975

(22)Date of filing : 11.04.2003

(71)Applicant : TOSHIBA CORP

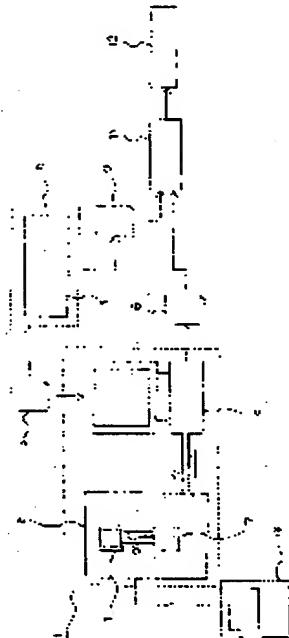
(72)Inventor : TARUMI TERUTSUGU
SATO TOSHIBUMI
IGAWA SHINJI
IZUMI MIKIO

(54) TESTING DEVICE FOR SAFETY PROTECTION MEASURING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce labor and time used in a test for soundness confirmation or the like of a highly integrated logic integrated circuit used in a safety protection system of a plant.

SOLUTION: All test patterns are sequentially inputted in the logic integrated circuit 3 which is the test target from application software of a test pattern input/output controller 4 composed of a PC, its output is read by the test pattern input/output controller 4, and an output pattern 6 is created. By comparing the output pattern with a simulation result, soundness of a logic integrated circuit function is evaluated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特願2004-318254

(P2004-318254A)

(43) 公開日 平成16年11月11日(2004.11.11)

(51) Int.Cl.⁷
G06F 11/22
G06F 19/00
G21C 17/00

F 1
G06F 11/22 310F
G06F 11/22 310B
G06F 11/22 330B
G06F 19/00 110
G21C 17/00 W

テーマコード(参考)

2 G075

5 B048

審査請求 未請求 請求項の数 6 ○ L (全 9 頁) 最終頁に続く

(21) 出願番号
(22) 出願日

特願2003-107975 (P2003-107975)
平成15年4月11日 (2003.4.11)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
100087332
弁理士 猪股 祥晃
(74) 代理人 100103333
弁理士 菊池 治
(74) 代理人 100081189
弁理士 猪股 弘子
(72) 発明者 垂水 哲次
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
佐藤 俊文
(72) 発明者 東京都府中市東芝町1番地 株式会社東芝
府中事業所内

最終頁に続く

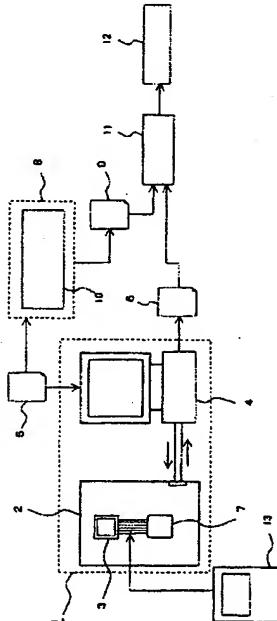
(54) 【発明の名称】安全保護計測装置の試験装置

(57) 【要約】

【課題】プラントの安全保護系システムに用いられる高集積な論理集積回路の健全性確認などの試験に費やす手間と時間を短縮させる。

【解決手段】PCで構成されたテストパターン入出力制御装置4上のアプリケーションソフトから試験対象となる論理集積回路3に全てのテストパターンを順次入力し、その出力をテストパターン入出力制御装置4に読み出しアウトプットパターン6を作成する。これをシミュレーション結果と比較することにより論理集積回路機能の健全性を評価する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

試験対象となる論理集積回路に対して複数のテストパターンを順次入力し、論理集積回路からの出力を読み出し、アウトプットパターンを作成するテストパターン入出力制御装置を備えた論理集積回路試験装置と、試験対象となる論理集積回路に組み込むべく設計した論理をシミュレートし、テストパターン入力に対し、シミュレートした設計論理の結果を読み出し、アウトプットパターンを作成する設計論理検証ツールを備えた論理シミュレーション装置と、同一テストパターンに対する論理集積回路試験装置のアウトプットパターンと論理シミュレーション装置のアウトプットパターンとを比較評価する比較評価手段とからなる安全保護計測装置の試験装置。

10

【請求項 2】

試験対象となる論理集積回路に組み込むべく設計した論理が設計通りに動作することが既に検証されている動作比較用回路と、論理集積回路と動作比較用回路に対して、予め定めた複数のテストパターンを順次、同一の順番で同時に入力する入力データ生成回路と、論理集積回路と動作比較用回路からの出力を同時に読み出し、それぞれの結果を比較し、一致又は不一致の情報を順次出力する出力データ比較回路とからなる安全保護計測装置の試験装置。

20

【請求項 3】

出力データ比較回路で結果が不一致であると判定した場合、次のテストパターンに移行することを中止することを特徴とする請求項 2 に記載の安全保護計測装置の試験装置。

【請求項 4】

動作比較用回路として、試験対象となる論理集積回路と製造過程の異なる論理集積回路を用いることを特徴とする請求項 2 に記載の安全保護計測装置の試験装置。

30

【請求項 5】

正弦波発生器と、この正弦波発生器からのアナログ信号をデジタル信号に変換して、試験対象となる論理集積回路に入力するアナログ/デジタル変換回路と、論理集積回路からの出力をアナログ信号に変換して外部に出力するデジタル/アナログ変換回路とからなり、周期性波形で連続的に変化するアナログ信号を、周波数を変動させて試験装置に入力し、出力データを監視することにより、論理集積回路の健全性を確認することを特徴とする安全保護計測装置の試験装置。

【請求項 6】

論理集積回路試験装置に対して、試験対象となる論理集積回路が保有する全ての接続された論理構成を通過するテストパターンを入力することにより、論理集積回路の健全性を確認することを特徴とする請求項 1 または 2 のいずれかに記載の安全保護計測装置の試験装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、原子力発電プラントなどにおけるプラントの安全保護機能に用いられる安全保護計測装置の試験装置に係り、特に安全保護計測装置に使われ、デジタル信号の処理を行う論理集積回路の検証手段に関する。

【0002】

【従来の技術】

原子力発電プラントなどにおいては、プラントの安全性が損なわれる恐れのある異常が発生した場合、あるいは発生が予想される場合、それを防止あるいは抑制するために安全保護系システムが設けられている。

【0003】

安全保護系システムに用いられる安全保護計測装置は、プラントの状態量を示す温度、圧力、炉出力などの複数のプロセス信号を検出するためのセンサからのプロセス信号を入力し、目的に応じた情報に信号を加工し、加工した情報を予め定められた設定値と比較し、

50

設定値を超えた場合に異常の発生またはその兆候と判定し、プラント保護装置にトリップ信号などの作動信号を出力する機能を有している。

【0004】

この安全保護計測装置の計装回路としては従来専用のハードウェア装置を用いる場合と、またはソフトウェアを実装したマイクロプロセッサで構成する場合がある。

【0005】

専用のハードウェア装置を用いた場合は複数のプロセス信号毎にハードウェア装置を設ける必要がある。一方、マイクロプロセッサで構成した場合には複数のプロセス信号に対して一つのマイクロプロセッサで全ての信号処理を行うことができる。

【0006】

このようなプラントの安全保護系システムはその重要性から、高い信頼性を有する設計が要求されている。このため、計装回路をマイクロプロセッサで構成した場合、ソフトウェアの共通要因故障を防止し、ソフトウェアの信頼性を確保するため、検証および健全性確認活動 (V&V : V e r i f i c a t i o n & V a l i d a t i o n) を実施している。

10

【0007】

V&Vとは、デジタル型の安全保護系システムに要求される機能がソフトウェアの設計、製作の各過程において、上位の過程から下位の過程へ正しく反映されていることを確認する検証作業と、検証作業を経て製作されたシステムについて、要求機能が正しく実現されていることを確認する健全性確認作業からなる品質補償のための活動である。具体的にはそのソフトウェアが設計図書の要求事項の通りに製作されていることの検証作業として設計情報を記載した図書と製作用の図書との相互間の確認作業を行う。またマイクロプロセッサにて構成された計装回路に実際の入力信号と同等の模擬信号を入力して、設計図書通りに作動出力がなされるかどうかの健全性の確認を行う。

20

【0008】

このようなV&Vの実施には設計、製作作業者とは異なる第三者が行うことが必要とされており、通常のソフトウェアの設計、製作に比べ多くの手間と時間を必要とする。

【0009】

これに対して、従来の専用のハードウェア装置は、アナログ信号の処理によって安全保護計測装置の機能を実現していたが、近年では、PLD等の論理集積回路の高集積化技術の進展により、論理集積回路を内蔵することで、デジタル信号処理による安全保護計測装置を小規模で実現できるようになっている。

30

【0010】

このPLD (P r o g r a m m a b l e L o g i c D e v i c e) とはデジタル信号の信号加工処理機能を論理回路の構成に変換して、ソフトウェアを使用せずにハードウェアの配線により実現する論理集積回路である。

【0011】

【発明が解決しようとする課題】

しかし、安全保護計測装置にソフトウェアを使用しない専用のハードウェア装置を用いた場合においても、設計図書に記された制御論理の通りに製品が製造されていることを可視または試験等の別の手段を用いて確認することで保証する必要があるが、ハードウェア装置を構成する論理集積回路のような密集された制御論理及びその動作状態を可視することは極めて困難である。このためハードウェア装置の制御論理への各デジタル入力のONまたはOFFの入力パターンのすべての組合せを装置に入力し、その論理的演算結果と設計図書との整合を確認することで論理集積回路を構成する全ての論理配線に、設計以外の誤った配線が無い事を証明する全テストパターン入力試験を実施することで、論理集積回路の健全性を検証することとしている。しかしながらこのようないくつかの検証手段ではデジタル入力の総点数が増えるため累乗的に全入力パターン数が増大することとなり、検証に費やす時間及び手間が増大することが課題であった。

40

【0012】

また、フィルタ論理の場合には、入力パターンの時間的変化を想定して、入力パターンを

50

時系列に組合せてテストパターンを作成する必要があるため、更にテストパターン数が増大することが課題であった。

【0013】

本発明は上記従来技術の課題を解決するためになされたものであり、論理集積回路の健全性確認を容易にし、試験に費やす時間及び手間を短縮することができる安全保護計測装置の試験装置を得ることを目的とする。

【0014】

【課題を解決するための手段】

上記目的を達成するため、本発明の請求項1に記載の発明は、試験対象となる論理集積回路に対して複数のテストパターンを順次入力し、論理集積回路からの出力を読み出し、アウトプットパターンを作成するテストパターン入出力制御装置を備えた論理集積回路試験装置と、試験対象となる論理集積回路に組み込むべく設計した論理をシミュレートし、テストパターン入力に対し、シミュレートした設計論理の結果を読み出し、アウトプットパターンを作成する設計論理検証ツールを備えた論理シミュレーション装置と、同一テストパターンに対する論理集積回路試験装置のアウトプットパターンと論理シミュレーション装置のアウトプットパターンとを比較評価する比較評価手段とからなることを特徴とする。

10

【0015】

また、請求項2に記載の発明は、試験対象となる論理集積回路に組み込むべく設計した論理が設計通りに動作することが既に検証されている動作比較用回路と、論理集積回路と動作比較用回路に対して、予め定めた複数のテストパターンを順次、同一の順番で同時に入力する入力データ生成回路と、論理集積回路と動作比較用回路からの出力を同時に読み出し、それぞれの結果を比較し、一致又は不一致の情報を順次出力する出力データ比較回路とからなることを特徴とする。

20

【0016】

請求項5記載の発明では、正弦波発生器と、この正弦波発生器からのアナログ信号をデジタル信号に変換して、試験対象となる論理集積回路に入力するアナログ/デジタル変換回路と、論理集積回路からの出力をアナログ信号に変換して外部に出力するデジタル/アナログ変換回路とからなり、周期性波形で連続的に変化するアナログ信号を、周波数を変動させて試験装置に入力し、出力データを監視することにより、論理集積回路の健全性を確認することを特徴とする。

30

【0017】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。

図1は本発明の第1の実施の形態を示す図で、図1において、1は論理集積回路試験装置で、2は試験対象となる論理集積回路（以下試験対象PLDと称する）3を実装したPLD試験基板、4はPC（Programmable Controller）により構成したテストパターン入出力制御装置で、テストパターン5を外部より入力し、テストパターン5に応じて試験対象PLD3への入出力を制御し、試験対象PLD3の試験後の出力結果からアウトプットパターン6を作成するアプリケーションソフトを備えている。

40

【0018】

7はテストパターン入出力制御装置4からの制御信号に応じて、試験対象PLD3に対してテスト信号を入力し、PLD3からの出力をテストパターン入出力制御装置4へ読み出すPLD試験基板に設けられたインターフェイス回路で、これらPLD試験基板2、テストパターン入出力制御装置4により論理集積回路試験装置1が構成されている。

【0019】

8は論理シミュレーション装置で、試験対象PLD3に組み込むべく設計した論理をシミュレートし、テストパターン入力に対し、シミュレートした設計論理の結果を読み出し、アウトプットパターン9を作成する設計論理検証ツール10を有している。

【0020】

50

11は論理集積回路試験装置1のアウトプットパターン6と論理シミュレーション装置8のアウトプットパターン9とを比較する比較回路、12は比較回路11の出力から試験対象PLD3の健全性を評価する健全性評価手段、13は試験対象PLD3の入出力信号に対して、その動作状況を監視するロジックアナライザである。

【0021】

このように構成された本実施の形態においては、まず試験対象PLD3をPLD試験基板2に実装する。テストパターン入出力制御装置4上のアプリケーションソフトには、全パターン入力試験の全てのテストパターン5を予め入力することで、試験対象PLD3に対してテストパターン5を入力し、その出力をテストパターン入出力制御装置2に読み出し、アウトプットパターン6を作成する。これらの一連の動作が、全てのテストパターンに対して順次実施され、全てのアウトプットパターン6が蓄積される。

10

【0022】

これらの論理集積回路試験装置1のアウトプットパターン6を設計検証ツール10によって試験対象PLD3に組み込むべく設計した論理のシミュレーション結果によるアウトプットパターン9とテストパターン毎にそれぞれ比較回路11において比較し、健全性評価手段12により一致するか否かを確認する。

20

【0023】

全てのテストパターンについて健全性評価手段12の結果が一致すれば、試験対象PLD3に製造された全ての論理配線に、設計以外の誤った配線が無いことが検証される。

また、試験対象PLD3の入出力信号に対して、ロジックアナライザ13にてその動作状況を監視することにより、試験装置の動作を検証することができる。

20

【0024】

さらに、設計論理検証ツール10により、予め、試験対象PLD3が保有する全ての接続された論理構成を通過する特徴を持ったテストパターンを抽出しておき、これらのテストパターンの入力により全論理パスの動作を検証することができる。

30

【0025】

以上のように本実施の形態によれば、テストパターン入出力制御装置4上のアプリケーションソフトにより、予め定めた複数のテストパターンの試験対象PLD3への入出力を制御しながら、順次繰り返すので、論理集積回路の膨大なテストパターン入力の変更を無駄時間なく効率よく行うことができ、試験に費やす時間及び手間を短縮することができる

【0026】

次に、本発明の第2の実施の形態について図2及び図3を参照して説明する。

なお、以下の説明において図1に示す第1の実施の形態と同一部分には同一の符号を付し、詳細な説明は省略する。

40

【0027】

本実施の形態は、図2に示すように、試験対象PLD3と、この試験対象PLD3に組み込むべく設計した論理が設計通りに動作することが既に検証されている動作比較用回路14とをPLD試験基板2に実装し、試験対象PLD3と動作比較用回路14に対して、予め定めた複数のテストパターンを順次、同一の順番で同時に入力する入力データ生成回路15を設け、試験対象PLD3と動作比較用回路14からの出力を同時に読み出し、それぞれの結果を比較し、一致又は不一致の情報を順次出力する出力データ比較回路16とを備えた論理集積回路試験装置1から構成されている。

【0028】

このように構成された本実施の形態においては、全テストパターン入力試験の入力データを生成する入力データ生成回路15から、試験対象PLD3と動作比較用回路14の双方に信号を入力し、その出力を出力データ比較回路16にて連続的に比較する。

50

【0029】

出力データ比較回路16は、試験対象PLD3の出力と動作比較用回路14の出力を比較して一致、不一致を出力し、それを確認回路17により確認し健全性評価手段12により

試験対象 P L D 3 の健全性を評価する。

出力が不一致となつた際は、その段階で次のテストパターン入力に移行するのを中止して、各動作／データ状況を明確にする。

【0030】

入力データ生成回路 15 は図示しないカウンタ回路により全テストパターンを順次生成する。動作比較用回路 14 は試験対象 P L D 3 の機能をディスクリートの素子（標準ロジック I C 他）や検証済みの P L D 素子にて実現するか、または、入力データに応じて期待される結果を出力できる R O M 等の記憶素子にて作成する。

【0031】

また、図 3 は、動作比較用回路として、試験対象 P L D 3 と製造過程の異なる、例えば他社製 P L D 等の論理配線方法の異なる P L D 18 を適用して、設計、ツールの異なる手段により同一ロジックを実現したものであり、P L D の多様性によっても同じロジックの結果となることから、試験対象 P L D 3 のロジック実現の健全性を確認する手法である。

10

【0032】

本実施の形態によれば、試験装置がハードウェアのみの動作となるので、試験対象 P L D 3 の処理速度と同等の速度によるテストパターン入出力が可能となり、また、不一致となつた場合のテストパターンを容易に確認することができ、より効率よく試験することができる。

また、動作比較用回路として他社製 P L D を用いることで、機種変更時に、新たに動作比較用回路 14 を作成する手間を省くことができる。

20

【0033】

次に本発明の第 3 の実施の形態について図 4 を参照して説明する。本実施の形態は、試験対象 P L D 3 を実装し、外部からのアナログ信号をディジタル信号に変換して、試験対象 P L D 3 に入力するアナログ／ディジタル変換回路（A D C）19 と、試験対象 P L D 3 からのディジタル信号出力をアナログ信号に変換して外部に出力するディジタル／アナログ変換回路（D A C）20 とから論理集積回路試験装置 1 を構成している。

このように構成された本実施の形態においては、本試験は特にフィルタの検証に適用するものである。

【0034】

全テストパターン入力試験相当となる入力データの代わりに正弦波発生器 21 より連続的に変化する正弦波を周波数を変動させて論理集積回路試験装置 1 のアナログ／ディジタル変換回路（A D C）19 に入力し、試験対象 P L D 3 、ディジタル／アナログ変換回路（D A C）20 を通過した出力データの連続性をオシロスコープ 22 で監視し、特性確認回路 23 で確認する。

30

【0035】

本実施の形態によれば、連続的に変化する入力信号に対して、出力データの連続性を監視することによって試験対象 P L D 3 の線形性を検証できる。この結果、入出力特性から伝達関数を求めるこにより試験対象 P L D 3 のフィルタ特性が検証でき、ディジタルのテストパターンを作成する時間及び手間を短縮することができる。

【0036】

40

【発明の効果】

以上説明したように、本発明によれば、論理集積回路の健全性確認を容易にし、試験に費やす時間及び手間を短縮することができる安全保護計測装置の試験装置を得ることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態を示すブロック図。

【図 2】本発明の第 2 の実施の形態を示すブロック図。

【図 3】本発明の第 2 の実施の形態の他の実施例を示すブロック図。

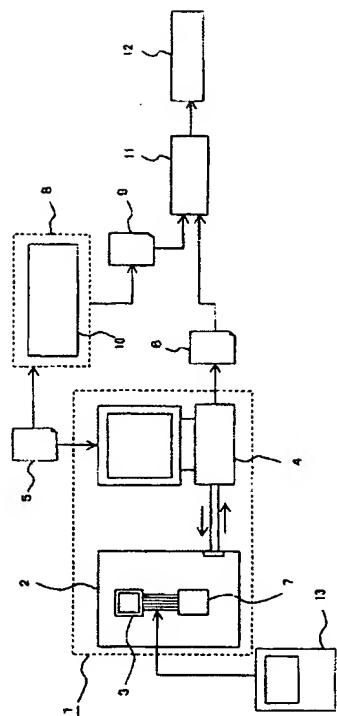
【図 4】本発明の第 3 の実施の形態を示すブロック図。

【符号の説明】

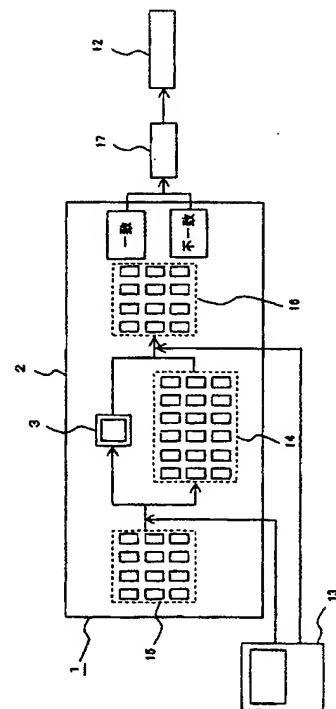
50

1 …論理集積回路試験装置、2 …試験対象論理集積回路、3 …PLD試験基板、4 …テストパターン入出力制御装置、5 …テストパターン、6、9 …アウトプットパターン、7 …インターフェイス回路、8 …論理シミュレーション装置、10 …設計論理検証ツール、11 …比較回路、12 …健全性評価手段、13 …ロジックアナライザ、14 …動作比較用回路、15 …入力データ生成回路、16 …出力データ比較回路、17 …確認回路、19 …アナログ/デジタル変換回路、20 …デジタル/アナログ変換回路、21 …正弦波発生装置、22 …オシロスコープ、23 …特性確認回路。

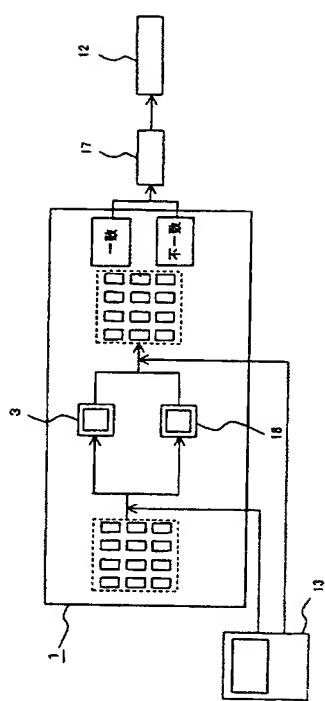
【図1】



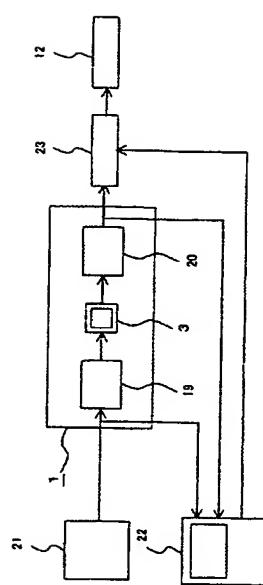
【図2】



〔図3〕



〔四〕



フロントページの続き

(51) Int. Cl. 7

F I

テーマコード (参考)

G 21C 17/00

Q

(72) 発明者 井川 慎司

東京都府中市東芝町1番地 株式会社東芝府中事業所内

(72) 発明者 泉 幹雄

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

F ターム(参考) 2G075 BA01 CA49 DA18 GA14

5B048 AA20 CC02 DD05 DD15

THIS PAGE BLANK (USPTO)